

PAT-NO: JP402104037A  
DOCUMENT-IDENTIFIER: JP 02104037 A  
TITLE: NOISE ELIMINATION METHOD  
PUBN-DATE: April 17, 1990

INVENTOR-INFORMATION:  
NAME  
MINE, KATSUTOSHI  
MORIMOTO, YUJI  
OGAWA, KOJI  
WAKABAYASHI, KATSUYOSHI  
KATSUTA, HIROSHI

ASSIGNEE-INFORMATION:	COUNTRY
NAME	
MINE KATSUTOSHI	N/A
MORIMOTO YUJI	N/A
OGAWA KOJI	N/A
WAKABAYASHI KATSUYOSHI	N/A
KATSUTA HIROSHI	N/A

APPL-NO: JP63254820  
APPL-DATE: October 12, 1988

INT-CL (IPC): H04B015/00

US-CL-CURRENT: 327/552

ABSTRACT:

PURPOSE: To eliminate noise superimposed on a received signal and to obtain a regular signal by forming two signals different from magnification from a signal to be sent, sending the signal and allowing a receiver side to apply subtraction processing to the two received signals.

CONSTITUTION: Since sensors A, B having nearly the same characteristic are arranged to the same position of an object to be detected, the detection signals from both the sensors A, B and outputs of amplifiers 1a, 1b are of the same level as signals S. If a noise (n) is invaded to both the signals during transmission and the resulting signal is received by a subtractor 5 of the receiver side, a reception signal from an adder 2 is a signal  $(2S+n)$  which is invaded with the noise (n) and the reception signal from a subtractor 3 is a signal of only noise (n). As a result, when the reception signal (n) from the subtractor 3 is subtracted from the reception signal  $(2S+n)$  from the adder 2 at the subtractor 5, the relation of  $(2S+n)-n=2S$  is obtained, and then the output of the subtractor 5 is a double detection signal 2S from which the noise (n) is eliminated. Thus, the noise is eliminated and only the detection signal detected by the sensors A, B is detected.

COPYRIGHT: (C)1990,JPO&Japio

## ⑫ 公開特許公報(A) 平2-104037

⑤ Int. Cl.<sup>8</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)4月17日

H 04 B 15/00

6866-5K

審査請求 有 請求項の数 6 (全21頁)

⑭ 発明の名称 ノイズ除去方法

⑯ 特 願 昭63-254820

⑰ 出 願 昭63(1988)10月12日

⑱ 発 明 者	嶺 敏	福岡県遠賀郡遠賀町虫生津296-2
⑱ 発 明 者	森 本 祐 治	福岡県北九州市戸畑仙水町3-2-203
⑱ 発 明 者	小 川 浩 二	大分県玖珠郡九重町大字松木3963番地
⑱ 発 明 者	若 林 勝 義	大分県北海部郡佐賀関町一尺屋1624
⑱ 発 明 者	勝 田 洋	鹿児島県串木野市下名7916
⑲ 出 願 人	嶺 敏	福岡県遠賀郡遠賀町虫生津296-2
⑲ 出 願 人	森 本 祐 治	福岡県北九州市戸畑仙水町3-2-203
⑲ 出 願 人	小 川 浩 二	大分県玖珠郡九重町大字松木3963番地
⑲ 出 願 人	若 林 勝 義	大分県北海部郡佐賀関町一尺屋1624
⑲ 出 願 人	勝 田 洋	鹿児島県串木野市下名7916
⑳ 代 理 人	弁理士 竹本 松司	外2名

明 細 書

## 1. 発明の名称

ノイズ除去方法

## 2. 特許請求の範囲

- (1) センサで計測した計測信号から、該信号に対する倍率の異なる2つの信号を作り、該2つの信号を伝送し、受信側では受信した2つの信号を減算処理することによって伝送路中に重畳したノイズを除去し、計測信号を得るようにしたノイズ除去方法。
- (2) 略同一特性の2つのセンサを略同一位置に並設し、上記2つのセンサ出力を加算及び減算した2つの信号を作り、受信側では受信された2つの信号を減算処理することによって伝送路中に重畳したノイズを除去し、計測信号を得るようにしたノイズ除去方法。
- (3) 上記2つの信号は1つのセンサから計測された信号と該信号の位相を反転させた信号である請求項第1項記載のノイズ除去方法。
- (4) 上記2つの信号を同一伝送線を使用し交互

に伝送するようにした請求項第1項、第2項または第3項記載のノイズ除去方法。

- (5) 極性のあるセンサから交互に極性を変えて同一伝送線で伝送し、交互に受信した2つの信号の一方から他方を減算し伝送路中のノイズを除去し計測信号を得るようにしたノイズ除去方法。

- (6) 交互に受信した2つの信号のうち、一方の信号に対して補間処理を行い、両信号の時間差を補正し、補正された一方の信号と他方の信号とを減算処理することによりノイズを除去した請求項第4項または第5項記載のノイズ除去方法。

## 3. 発明の詳細な説明

産業上の利用分野

本発明は、工業計測において、各種センサから送られてきた信号から、伝送路上のノイズを除去する方法に関するものである。

従来の技術

センサから送られてくる計測信号は、多くの場

合、伝送路上の雑音等によって汚されている。そのため、計測信号に含まれたノイズ成分を除去するため、従来、フィルタ等を使用したり、また、ノイズの持つ性質や特徴を検出し、これに基づいて必要な演算を施してノイズ成分を除去する方法がとられている。例えば、電話回線におけるエコー対策として、エコー経路の特性を推定し、これによりエコーキャンセル処理が行われている。また、一般に計測信号処理としては、移動平均、周波数領域法、積分平均法等の演算処理が多く行われている。

発明が解決しようとする課題

しかし、計測信号に含まれるノイズの周波数成分が計測対象の信号に対して重複し、センサからの信号波形とノイズ波形の性質が似ている場合には、上述したフィルタによるノイズ除去や演算処理によってノイズを除去することは難しい。

そこで、本願出願人等は、センサとインピーダンスを並設し、該センサとインピーダンスから得られる夫々の信号を処理しノイズを除去した信号

加算及び減算することによって2つの信号を作ってもよく、または1つのセンサから得られた信号と該信号の位相を反転させて2つの信号として伝送する。これら信号を伝送するとき、伝送する伝送線が異なることから、伝送路中で重畳されるノイズが異なりその誤差が大きい場合には、同一伝送路で2つの信号を交互に伝送し、ノイズ除去の誤差を少なくする。

また、極性のあるセンサで計測する場合には、計測信号の極性を交互に変えて同一伝送路で伝送するようにしてもよい。

さらに、2つの信号を交互に伝送する場合、両信号間には時間差があることから、一方の信号を補間処理して時間差を補正し、補正した信号と他方の信号とを減算処理することによって、より正確にノイズを除去する。

作 用

センサで計測した計測信号を例えばSとすると、一方の信号をN倍したNS（例えばNは正、負の整数または零）、他方の信号をM倍したMS（N

を得る方式を特願昭63-68291号で提案した。しかし、この提案した方式では、センサとインピーダンスの出力伝送系に入るノイズの振幅に違いがあるため、振幅調整を必要とするという問題があった。

そこで、出願人はさらに改良し、振幅調整を必要としないノイズ除去方法を提案するものである。

すなわち、本発明の目的は、センサからの信号波形とノイズ波形が類似していても簡単にノイズ成分を除去できるノイズ除去方法を提供することにある。

課題を解決するための手段

本発明は、センサで計測した計測信号から、該信号に対する倍率の異なる2つの信号を作り、該2つの信号を伝送し、受信側では受信した2つの信号を減算処理することによって伝送路中に重畳したノイズを除去し、計測信号を得るようにした。この場合、送信側で作る上記2つの信号は、略同一特性の2つのセンサを略同一位置に並設し、2つのセンサから得られる計測信号（同一信号）を

$\neq M$ 、 $M$ も正、負の整数または零）の2つの信号を作り伝送する。伝送路中において両信号にノイズ $n$ が重畳されたとすると、受信側では、 $NS + n$ 、 $MS + n$ の2つの信号を受信することとなる。そこで、両信号の差をとると、

$$(NS + n) - (MS + n) = (N - M)S$$

となり、伝送路中で重畳したノイズ $n$ は除去され計測信号 $S$ の $(N - M)$ 倍の信号を得ることができる。

そこで、送信側で2つの信号 $NS$ 、 $MS$ を作るには、略同一特性のセンサを略同一位置に並設し、計測対象より計測すれば、両センサからは略同一信号 $S$ を得ることができ、両信号を加算すれば $2S$ （上記例で $N = 2$ ）、減算すれば「0」（上記例で $M = 0$ ）の信号が作られ、両信号を伝送し、受信側で受信すれば、 $2S + n - n = 2S$ として、計測信号の2倍の信号を受けることができる。また、1つのセンサから得られた計測信号 $S$ の位相を反転させ $-S$ の信号を作り、計測信号 $S$ （上記例で $N = 1$ ）と位相反転信号 $-S$ （上記例で $M =$

-1)を送信し、受信側で受信信号( $S+n$ )、 $(-S+n)$ を減算すれば、計測信号の2倍の信号 $2S$ を得ることができる。

また、センサに極性がある場合には、交互に極性を変えて同一伝送路で伝送し、交互に受信した2つの信号の一方から他方を減算すれば、2倍の計測信号を得ることができる。

さらに、同一伝送路により、交互に2つの信号を伝送する場合には、2つの信号の時間差を補正するために一方の信号を補間処理して、他方の信号の測定時点に対する時点の信号レベルにした補正信号を求め、この補正信号と他方の信号とを減算処理することによって、より正確にノイズを除去した計測信号を得ることができる。

#### 実施例

第1図は、本発明の第1の実施例のブロック図で、A、Bはセンサであり、温度、圧力、流量、電圧、電流等、計測対象はどのようなものでもよい。1a、1bはセンサA、Bの出力を増幅する増幅器、2は増幅器1a、1bの出力信号を加算

する。その結果、加算器2からは両信号を加算した信号 $2S$ が出力され、減算器3からは一方の信号から他方の信号を減算した値、即ち「0」が出力されることとなる。そして、両信号の伝送中にノイズ $n$ が両信号に乗って受信側の減算器5に受信されることとなるが、加算器2からの受信信号は加算器2の出力信号 $2S$ に伝送路中のノイズ $n$ が乗った $(2S+n)$ の信号となり、減算器3からの受信信号は減算器3の出力信号0に伝送路中のノイズ $n$ が乗った、即ち、ノイズ $n$ のみの信号となる。その結果、減算器5で、加算器2からの受信信号 $(2S+n)$ から減算器3からの受信信号 $n$ を減算すると、 $(2S+n)-n=2S$ となり、減算器5の出力はノイズ $n$ が除去された2倍の検出信号 $2S$ となる。

このようにして、伝送系において信号に乗るノイズは除去され、センサA、Bで検出した検出信号のみを検出することができる。

上述した第1の実施例においては、加算器2及び減算器3の出力信号を夫々別の伝送路4a、4

する加算器、3は増幅器1a、1bの出力信号を減算する減算器である。そして、センサA、Bは略同一特性を有するセンサで構成し、計測対象に対し両センサA、Bはできるだけ近接して配設し、できるだけ同一検出信号を得るようにする。また、増幅器1a、1b、加算器2、減算器3もできるだけセンサA、Bの近傍に配設する。これらセンサA、B、増幅器1a、1b、加算器2、減算器3で信号の発信側を構成し、加算器2の出力は伝送路4a、減算器3の出力は伝送路4bによって受信側に伝送され、受信側では減算器5によって受信した加算器2からの信号より減算器3からの信号を減算して出力するようになっている。また、伝送路4a、4bはより合わせた線とし、両伝送路4a、4bによる信号伝送中に受けるノイズが同等になるようにする。

上記のような構成において、センサA、Bは略同一特性で検出対象の同一個所に配設されているから、両センサA、Bからの検出信号及び増幅器1a、1bの出力は同一レベルの信号 $S$ が得られ

bに乗せて伝送させた。そのため、伝送中に各伝送路4a、4bに加わるノイズ $n$ が異なる場合が考えられる。そのため、両センサA、Bの出力を加算した信号及び減算した信号を同一伝送路に乗せて伝送し、伝送路中に受けるノイズの影響を同一とし、より正確に計測信号を得るようにした第2の実施例を第2図と共に説明する。

第2図において、A、Bは第1図と同様、同一特性で同一個所に配設されたセンサ、1a、1bは夫々増幅器、10は発振器11によって切換えられる加減算器、12は伝送線、13は発振器11の発振周期と同期をとるための制御クロック発生器で、伝送線12から受信した信号をそのままスイッチ回路14に送出すると共に、発振器11の発振と同期をとった制御クロックパルスを作り、制御部19へ送出するようになっている。15、16はスイッチ回路14から入力される信号を記憶するアナログメモリ、17はアナログメモリ15の出力からアナログメモリ16の出力を減算し、オフセットを調整する減算・オフセット調整器、

18は該減算・オフセット調整器17の出力を記憶するアナログメモリである。また、19は制御クロック発生器13からの制御クロックパルスに基いてワンショットマルチバイブレータ、フリップフロップ等により各種制御信号CLK, CS1, CS2, CS3を作る制御部である。

第3図は上記加減算器10の詳細を示す図で、20は加減算を行うオペレーションアンプであり、SW1は発振器11からの信号で切替わるスイッチであり、センサA, Bからの信号(両信号とも同一でS)にオフセット電圧Vrが加算されるようになっており、スイッチSW1が第3図のように上側に接続された場合は、オペレーションアンプ20に入力される2つの入力信号は加算され加算器として作動し、スイッチSW1が切替わり、下側に接続される場合は、センサA側からの入力信号からセンサB側からの入力信号を減算する減算器として作動する。即ち、スイッチSW1が上側に接続される場合は、センサA側からの入力信号(S+Vr)とセンサB側からの信号(S+

Vr)が加算され、2(S+Vr)がオペレーションアンプ20即ち加減算器10から出力され、スイッチSW1が下側に接続された場合には減算され、 $(S+Vr) - (S+Vr) = 0$ が出力される。

そして、伝送線12を介して伝送され、この伝送路中でノイズが乗り、受信側の制御クロック発生器13には第4図(a)に示すように、加減算器10で加算された信号及び減算された信号にノイズnが重畳された信号が発振器11の発振周期に応じて交互に現われる信号が受信される。制御クロック発生器13は、この信号をそのままスイッチ回路14に出力すると共に該信号をコンパレータに入力し、第4図(a)にVsとして示すような基準電圧と、この信号を比較し、コンパレータから第4図(b)に示すような制御クロックパルスCLKを作り出し、制御部19にこの制御クロックパルスCLKを出力する。

制御部19では、この制御クロックパルスCLKに基いて、第4図(c), (d), (e)に示すよ

うな制御信号CS1, CS2, CS3を、例えばワンショットマルチバイブレータ、フリップフロップ等により作り出し、制御信号CS1をアナログメモリ16に、制御信号CS2をアナログメモリ15に、制御信号CS3をアナログメモリ18に夫々出力し、また、制御クロックパルスCLKをスイッチ回路14に出力してスイッチ回路14のスイッチを切替えるようにしている。

すなわち、加減算器10で両センサA, Bからの信号S及びオフセット電圧Vrが加算された信号が伝送され、伝送路中でノイズnが該信号に加算され、受信側に信号 $(2S + 2Vr + n)$ が受信されたときには、制御クロックパルス発生器13からHレベルの制御クロックパルスCLKが出力され、この信号がスイッチ回路14のスイッチをアナログメモリ15側に切替え、受信信号 $(2S + 2Vr + n)$ をアナログメモリ15に入力し、さらに制御部19で制御クロックパルスが立上がった後、所定時間Hレベルになる制御信号CS2のHレベル信号で、アナログメモリ15の

記憶内容を受信信号 $(2S + 2Vr + n)$ に入換える。

また、加減算器10が減算に切替わり、その結果、制御クロックパルスCLKがLレベルに切替わったとき、即ち、スイッチ回路14の入力にノイズnのみの信号が入力されているときには、制御クロックパルスCLKのLレベルによりスイッチ回路14はアナログメモリ16側に切替わり、ノイズnのみの信号をアナログメモリ16に入力し、かつ、制御部19で制御クロックパルスCLKの立下がった後、所定時間Hレベルになる制御信号CS1のHレベル信号でアナログメモリ16の記憶内容を受信信号nに入換える。

17は減算・オフセット調整器で、アナログメモリ15に記憶する信号 $(2S + 2Vr + n)$ からアナログメモリ16に記憶する信号nを減算すると共に、オフセット電圧 $2Vr$ も減算し出力する。その結果、該減算・オフセット調整器17の出力は $(2S + 2Vr + n) - n - 2Vr = 2S$ となり、ノイズが除去された2倍の検出信号2S

のみとなる。

そこで、両アナログメモリ15、16の記憶内容が入換わった後、即ち、本実施例では制御信号CS2の立下がった後、所定時間Hレベルの出力が出される制御信号CS3のHレベル時に、減算・オフセット調整器17の出力信号2Sをアナログメモリ18内に取込み、記憶内容を入換える。

以上のようにして、アナログメモリ18には順次センサA、Bで検出した検出信号の2倍の信号2Sが記憶されることとなり、該アナログメモリ18の出力によって伝送路中に乗ったノイズを除去したセンサ検出信号のみを得ることができる。

なお、上記第2の実施例においては、アナログメモリ15に記憶するセンサ検出信号、オフセット電圧及びノイズを加算した信号( $2S + 2V_r + n$ )と、アナログメモリ16に記憶するノイズnのみの信号には、第4図(a)に示すように時間差があり、信号( $2S + 2V_r + n$ )からノイズのみの信号nを減算したのでは、正確にノイズを除去したことにはならないが、ノイズの特性

の構成は第3図に示す加減算器からオフセット電圧 $V_r$ を取除いたものに等しく、加算、減算のために切換えるスイッチSW1が受信側の制御回路38からの制御信号CS32によって切換わるようになった点が第3図の回路と相違するのみである。31は伝送線、32は受信側の増幅器、33は受信アナログ信号をデジタル信号に変換するA/D変換器、34はA/D変換された加算信号(以下、この加算信号を $y(t)$ と表わす)を記憶するバッファメモリ、35は減算信号(以下、この信号を $v(t)$ と表わす)を記憶するバッファメモリで、端子w/RにHレベル信号が入力されるとデータの読み込み、Lレベル信号でデータの読出しが選択され、端子CSにLレベルが入力されると、当該バッファメモリが選択されるようになっている。

36はマイクロコンピュータ、37はインバータ、38は各種制御信号を作る制御回路で、クロック発振器、シフトレジスタ等により所定制御信号CS32、CS33、CS35、CS36、

(周期)等より発振器11の発振周波数を調整することによって、この誤差を少なくすることができる。

なお、上記第2の実施例では、制御クロック発生器13で発振器11の発振周期と同期する制御クロックパルスCLKを作成したが、発振器11を受信側の制御部19内に設け、受信側から加減算器10を切換えるようにすると、制御クロック発生器13は必要なく、伝送線12は直接スイッチ回路14の入力に接続され、また、加減算器10にもオフセット電圧を加える必要はない。また、減算・オフセット調整回路17も単に減算するのみでよい。

第5図は、本発明の第3の実施例で、第2の実施例と相違する点は、受信側での信号処理がデジタル処理に変更されたこと、及び、両センサA、Bからの信号を加算、減算するタイミングを受信側から制御する点である。

A、Bは同一特性、同一箇所に配設されたセンサ、1a、1bは増幅器、30は加減算器で、そ

CS37を作り出すものである。また、39はナンドゲートである。

第6図は、この制御回路38から出力される制御信号及びマイクロコンピュータ36から出力される信号の関係を示すタイミングチャートで、第7図は、マイクロコンピュータ36が行う動作処理フローチャートであり、以下、このタイミングチャート及び動作処理フローチャートと共に本実施例の動作を説明する。

マイクロコンピュータ36は、第7図に示す処理を所定周期T1毎に行っており、まず、スタートトリガパルスCS31をHレベルにし制御回路38に出力する(ステップ101)。制御回路38はこのトリガパルスCS31を受信し、第6図(b)に示すように、スイッチ切換制御信号CS32をHレベルにして加減算器30を加算器側に切換える。また、制御回路38はその後、第6図(c)に示すようにAD変換スタート信号CS33をHレベルにすると共に、バッファ選択信号CS35及び1周期のアステータス信号CS3

7をLレベルに切換える(第6図(e),(g)参照)。

加減算器30が加算器側に切換わることにより、該加減算器30の出力はセンサA、Bの信号Sを加算した信号 $2S$ を出力することとなり、伝送線31で伝送され、伝送路中でノイズ $n$ が重畳された加算信号 $y(t) = 2S + n$ は増幅器32で増幅され、A/D変換器33に入力され、AD変換スタート信号CS33がHレベルになることにより、該加算信号 $y(t)$ はデジタル信号に変換される。該A/D変換器33は、AD変換中、第6図(d)に示すようにLレベルのステータス信号CS34を出力する。次に、制御回路38はAD変換スタート信号CS33を送出し、AD変換終了後に、データ書込み指令信号CS36を第6図(f)に示すようにバッファメモリ34、35に出力する。また、すでにバッファ選択信号CS35はLレベルに切換えられているから、ナンドゲート39の出力CS39はHレベルであり、インバータ37で反転され、バッファメモリ34の端

メモリ35が選択される。そして、受信した減算信号 $V(t) = -n$ がAD変換され、AD変換されるに十分な時間をとった後所定時間幅のデータ書込み指令信号CS36が出力され、減算信号 $V(t)$ データがバッファメモリ35に格納される。なお、第6図(f)に示すように、加算信号 $y(t)$ 、減算信号 $V(t)$ のデータ書込み指令CS36の時間差は $T_2$ あり、減算信号 $V(t)$ は加算信号 $y(t)$ より時間 $T_2$ だけ遅れた信号が取込まれていることとなる。

このようにして、加算信号 $y(t)$ 、減算信号 $V(t)$ のデータがバッファメモリ34、35に各々格納された後、制御回路38はステータス信号CS37をHレベルにし(第6図(g)参照)、マイクロコンピュータ36はこのステータス信号CS37がHレベルになったことを検出し(ステップ102)、バッファメモリ選択信号CS38をLレベルにする(ステップ103及び第6図(h)参照)。

その結果、ナンドゲート39の出力CS39は

子CSにLレベルの信号が入力され、バッファメモリ34が選択され、A/D変換器33でデジタル信号に変換された加算信号 $y(t) = 2S + n$ はバッファメモリ34に格納される。制御回路38はバッファメモリ34に加算信号 $y(t)$ を格納した後、スイッチ切換信号CS32をLレベルにし(第6図(b)参照)、加減算器30を減算器側にする。その結果、A/D変換器33にセンサAの信号からセンサBの信号を減算した信号(0)に伝送路中のノイズ $n$ を重畳された信号 $V(t) = -n$ を受信することとなる。一方、制御回路38は、スイッチ切換信号CS32をLレベルにした後、AD変換スタート信号CS33を所定時間Hレベルにすると共に、バッファ選択信号CS35をHレベルにする(第6図(c),(e)参照)。バッファ選択信号CS35がHレベルになることから、マイクロコンピュータ36からのバッファメモリ選択信号CS38はHレベルであることから(第6図(h)参照)、ナンドゲート39の出力CS39はLレベルとなり、バッファ

Hレベルとなり、バッファメモリ34を選択し、かつ、データ書込み指令信号CS36はLレベルであるから、バッファメモリ34からデータが読取られ、マイクロコンピュータ36は加算信号データ $y(t)$ を取込む(ステップ104)。そして、マイクロコンピュータはバッファメモリ選択信号CS38をHレベルにし(ステップ105)、これにより、すでに制御回路38からのバッファ選択信号CS35はHレベルであるから、ナンドゲート39の出力CS39はLレベルとなり、バッファメモリ35が選択され、減算信号データ $V(t)$ が取込まれる(ステップ106)。

マイクロコンピュータ36は加算信号データ $y(t)$ と減算信号データ $V(t)$ の検出時間差 $T_2$ を補正するために、減算信号データ $V(t)$ に対し一次補間処理を行う。これは、今周期で検出した減算信号データ $V(t)$ 、前周期で検出しレジスタ $R(V)$ に格納していた前周期の減算信号データ( $R(V)$ )より、次の第(1)式の処理を行って加算信号データ $y(t)$ の検出時に対応する減算信号



データ  $V'(t)$  を求める (ステップ 107)。

$$V'(t) = V(t) - \{V(t) - (R(V))\} \times T2 / T1 \quad \dots (1)$$

次に、今周期で求めた減算信号データ  $V(t)$  をレジスタ  $R(V)$  に格納し (ステップ 108)、そして、加算信号データ  $y(t)$  から補正された減算信号データ  $V'(t)$  を減算し、2 で除して計測信号データ  $X(t)$  を得る (ステップ 109)。即ち、加算信号データ  $y(t)$  は、センサ A、B の信号  $S$  を加算しそれにノイズ  $n$  が重畳していることから、 $y(t) = 2S + n$  であり、補正された減算信号データ  $V'(t)$  は、 $S - S + n - n$  であり、

$$\begin{aligned} X(t) &= (y(t) - V'(t)) \times 1 / 2 \\ &= (2S + n - n) \times 1 / 2 \\ &= S \end{aligned}$$

となり、計測信号データ  $X(t)$  ( $= S$ ) が検出されることとなる。

そして、マイクロコンピュータ 36 は、マイクロコンピュータ 36 内のメモリのアドレス  $i$  (初期設定で  $i = 0$  とセットされている) に、ステッ

送線を省略するようにしてもよい。この場合、第 6 図で示すスイッチ切換信号  $CS32$  が、第 2 図の制御クロック発生器 13 で発するクロック信号  $CLK$  となり、この信号に基いて制御が行われることとなる。この場合、加算信号データ  $y(t)$  にはオフセット電圧  $2V_r$  も加算されて格納されていることとなるから、第 7 図のステップ 109 で計測信号  $X(t)$  を求める演算は次のようになる。

$$X(t) = (y(t) - V'(t)) \times 1 / 2 - 2V_r$$

(なお、 $V_r$  はオフセット電圧をデジタル値に変換した値)

上記第 1～3 の実施例は略同一のセンサ 2 つを略同一位置に配設し計測するものであったが、次に、1 つのセンサによって計測し伝送路中に重畳するノイズを除去する実施例について説明する。

第 8 図は、本発明の第 4 の実施例の発信側の回路を示すもので、 $C$  は計測対象に配設されたセンサ、40、41、42 は増幅器であり、増幅器 42 と切換スイッチ  $SW2$  で加減算器 43 を構成している。また、増幅器 41 は増幅率 1 倍のもの

で、ステップ 109 で求めた計測信号データ  $X(t)$  を書込むと共に、マイクロコンピュータ 36 に接続された CRT 表示装置等に表示する (ステップ 110)。次に、アドレス  $i$  が計測信号データ  $X(t)$  を書込むために用意されている容量  $m$  に達したか否か判断し (ステップ 111)、達してなければアドレス  $i$  に「1」加算し、また、達していれば「0」にセットし (ステップ 112、113)、1 周期の処理を終了する。

かくして、所定周期  $T1$  毎、上記処理を繰返すことによって、伝送路中に重畳されたノイズを除去した計測信号  $X(t) = S$  を得ることができる。

なお、第 5 図に示した第 3 の実施例では、制御回路 38 より加減算器 30 のスイッチを切換えるためのスイッチ切換信号  $CS32$  を送出するようにしたが、第 2 図に示す第 2 の実施例のように加減算器 30 の切換は発振器で行い、加減算器 30 では第 3 図に示すようにオフセット電圧  $V_r$  を加えて、受信側に第 2 図に示すような制御クロック発生器を設けて、スイッチ切換信号  $CS32$  の伝

している。

センサ  $C$  の出力は増幅器 40 で増幅され、例えば、第 8 図 (イ) に示すような波形の出力が増幅器 40 から出力される。この増幅器 40 の出力は増幅器 41 で増幅されるが、増幅率が 1 倍であるため、該増幅器 41 の出力は第 8 図 (ロ) に示すように、増幅器 40 の出力と同一レベルで位相が反転したものとなる。この 2 つの増幅器 40、41 の出力を加減算器 43 に入力し、スイッチ  $SW2$  を切換えて加算、減算を行わせれば、加算時には極性が反転していることから「0」出力が、また、減算時にはセンサ  $C$  の出力の 2 倍 (増幅器 40 の出力の 2 倍) の出力が各々加減算器 43 から出力されることとなる。この加減算器 43 の出力を伝送し受信側で減算すれば、伝送路中に重畳したノイズは除去され、センサ  $C$  で計測した計測値の 2 倍の信号のみを得ることができる。

なお、上記加減算器 43 の切換スイッチ  $SW2$  を第 2 図で示した第 2 の実施例と同様に、発振器 11 で駆動した場合には (即ち、受信側と非同期

で行う場合には)、上記加減算器43を第3図に示したようなオフセット電圧 $V_r$ を付加したものと、受信側では第2図に示した受信側の機構と同一の構成とすればよい。また、第5図に示すように、受信側の制御回路から上記切換スイッチSW2を駆動する場合(即ち同期式の組合)には、第5図で示す受信側の構成をとればよい。また、前述したように、非同期式、同期式に関係なく、受信側の構成を第2図に示すアナログ処理によるもの、第5図に示すデジタル処理によるもの、どちらを採用してもよいことはもちろんである。

また、上記第4の実施例において、センサCの出力に極性がある場合には、増幅器40の2つの入力端子にセンサCの夫々の出力端子を接続し、差動入力にすればよい。

さらに、上記第4の実施例においては、増幅器40、41の出力を加減算器43で加算、減算して出力するようにしたが、増幅器40、41の出力を、第1の実施例のように夫々の伝送線で伝送し、受信側で受信した2つの受信信号を減算する

ようにしてもよい。すなわち、増幅器40から、例えば計測信号 $+S$ が伝送され、増幅器41からは極性が反転した計測信号 $-S$ が伝送されることとなるから、これら信号 $+S$ 、 $-S$ に各々ノイズ $n$ が重畳したものが受信側で受信され減算されると、 $(S+n) - (-S+n) = 2S$  となり、ノイズ $n$ が除去された2倍の計測信号 $2S$ のみが得られる。

また、この場合においても、同一伝送線で伝送するときは増幅器40、41の出力をスイッチで交互に切換えて伝送してもよい。

さらに、センサに極性がある場合には、第9図に示すように、センサの出力をスイッチで切換えて伝送するようにしてもよい。第9図は極性のあるセンサの例としてストレンジゲージを用いた例を示す第5の実施例で、第9図において、Dはストレンジゲージで、50はゲージ抵抗、51はストレンジゲージDの極性を反転させて増幅器52に入力するスイッチ回路である。スイッチ回路51が一方に切換わっているとき、増幅器52から、

例えば、 $+S$ の計測信号が出力されるが、他方に切換わっているときには極性が逆になった $-S$ が出力されることとなる。そのため、増幅器52の出力を伝送し、受信側で減算すれば、 $(S+n) - (-S+n) = 2S$  となり、ノイズ $n$ が除去された計測信号が得られる。なお、増幅器52を高入力インピーダンスの増幅器として、該増幅器52の入力をセンサ入力、即ち、センサ出力両端子と増幅器52の両入力端子を夫々接続する場合と、増幅器52の両入力端子を短絡するようにスイッチ回路51で切換えるようにしてもよい。この場合には、センサ入力にスイッチ回路51が切換えられると受信側には $S+n$ の信号が入力され、増幅器51の入力端子が短絡するようにスイッチ回路51が切換えられたときはノイズ $n$ のみが入力されることとなり、両受信信号を減算すれば、センサ信号 $S$ のみを取出すことができる。

上記第2～第5の実施例においては、発信側から送出する加算信号、減算信号、または、極性を変えた2つの信号を同一伝送線で伝送した場合、

発信側と受信側で同期をとる方式と、また、非同期方式について述べた。しかし、非同期方式においても、受信側で第2図に示すように制御クロック発生器を用いて発信側での切換周期を検出して制御を行ったが、次に、発信側と受信側で全く同期をとらない方式について述べる。

第10図は全く同期をとらない方式を示す本発明の第6の実施例を示すブロック図で、発信側60は上述した各実施例と同様、2つのセンサを用いる場合でも、1つのセンサを用いる場合でもよく、加算、減算信号を発信側の切換スイッチを切換えて同一伝送線61に加算信号、減算信号を交互に送出するものである。第10図において、62は受信側の増幅器、63はA/D変換器、64は大容量のバッファメモリ、65はマイクロコンピュータ、66は制御回路で、マイクロコンピュータ65から制御回路66にスタート指令が出されると、制御回路66は、発信側の切換スイッチの切換周期よりも短い周期でA/D変換器63に変換指令を出力し、デジタル信号に変換されたデ

ータを大容量のバッファメモリ64に入力し、かつ、制御回路66はバッファメモリ64のアドレスを1番から順次指定し、順次データをバッファメモリ64に書き込む。バッファメモリ64に所定量のデータが書き込まれると、制御回路66は変換終了信号をマイクロコンピュータ65に送出し、マイクロコンピュータ65はこの信号を受けてバッファメモリ64に格納されたデータを読出し、読出し終了で再びスタート指令を出力する。以下、この処理を繰返す。一方、マイクロコンピュータ65が読取ったデータは、センサで計測した信号が加算された信号 $2S$ にノイズ $n$ が加算された信号 $2S+n$ （さらにはオフセット電圧 $V_r$ の2倍が加算された信号）とノイズ $n$ のみの信号であり、このデータは第4図に示すような高レベルと低レベルの2つの包絡線を持つこととなり、この2つの包絡線を検出し、一方から他方を減算すれば、計測信号 $2S$ のみを得ることができる。

第11図は、第10図で示した第5の実施例と同様、発信側、受信側全く非同期でノイズを除去

した計測信号を得る方式の第7の実施例であり、70は第6の実施例と同様に発信側を示し、71は伝送線、72は増幅器、73は大容量のアナログメモリ、74はA/D変換器、75はマイクロコンピュータ、76は制御回路であり、第6の実施例と相違する点は、伝送されてきた信号を、まず、大容量のアナログメモリ73に順次格納し、その後A/D変換してマイクロコンピュータ75に取込む点で相違するのみである。動作は第6の実施例と略同一であるので、説明を省略する。

なお、上記各実施例において、発信側から送出する2つの信号をセンサで計測した信号 $S$ の加算、減算信号即ち加算信号 $2S$ と減算信号の「0」信号、または、計測信号 $S$ の極性を変えた $+S$ 、 $-S$ の信号としたが、2つの信号を、一方を $NS$ 、他方を $MS$  ( $N \neq M$ ) としてもよく、これら2つの信号を減算し、ノイズを除去した $(N-M)S$ 信号を得るようにしてもよい。

#### 発明の効果

本発明は、簡単な構成により、伝送路中で計測

信号に重畳されるノイズを除去することができ、かつ、従来の方法ではノイズ除去が困難であった計測信号と類似したノイズも簡単に除去することができる。

#### 4. 図面の簡単な説明

第1図は本発明の第1の実施例のブロック図、第2図は同第2の実施例のブロック図、第3図は第2の実施例における加減算器の詳細を示す図、第4図は第2の実施例におけるタイミングチャート、第5図は本発明の第3の実施例のブロック図、第6図は同第3の実施例のタイミングチャート、第7図は同第3の実施例のマイクロコンピュータが実行するフローチャート、第8図は本発明の第4の実施例における発信側の回路図、第9図は本発明の第5の実施例の発信側の回路図、第10図は本発明の第6の実施例のブロック図、第11図は本発明の第7の実施例のブロック図である。

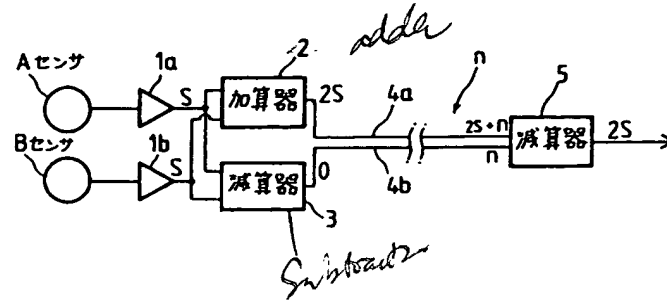
A, B, C…センサ、1a, 1b…増幅器、2…加算器、3, 5…減算器、4a, 4b, 12, 31, 61, 71…伝送線、10, 30…加減算

器、11…発振器、13…制御クロック発生器、14…スイッチ回路、15, 16, 18…アナログメモリ、17…減算・オフセット調整器、19…制御部、33…A/D変換器、34, 35…バッファメモリ、36, 65, 75…マイクロコンピュータ、38, 66, 76…制御回路、D…ストレンジゲージ。

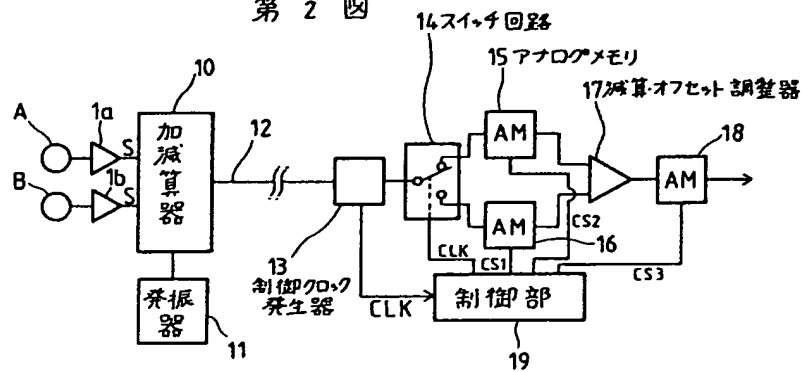
特許出願人 岡 勝 敏  
(ほか4名)  
代理人 弁理士 竹本松司  
(ほか2名)



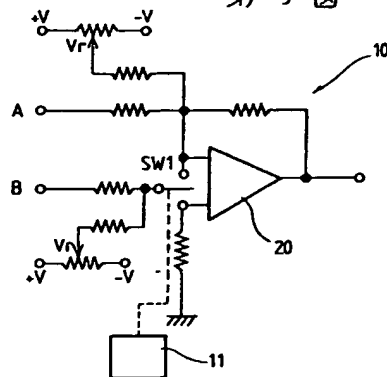
第 1 図



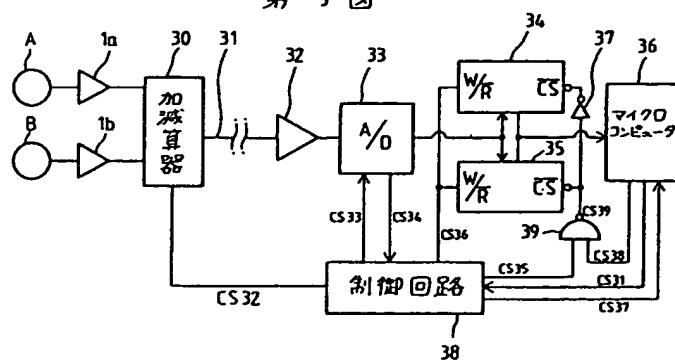
第 2 図



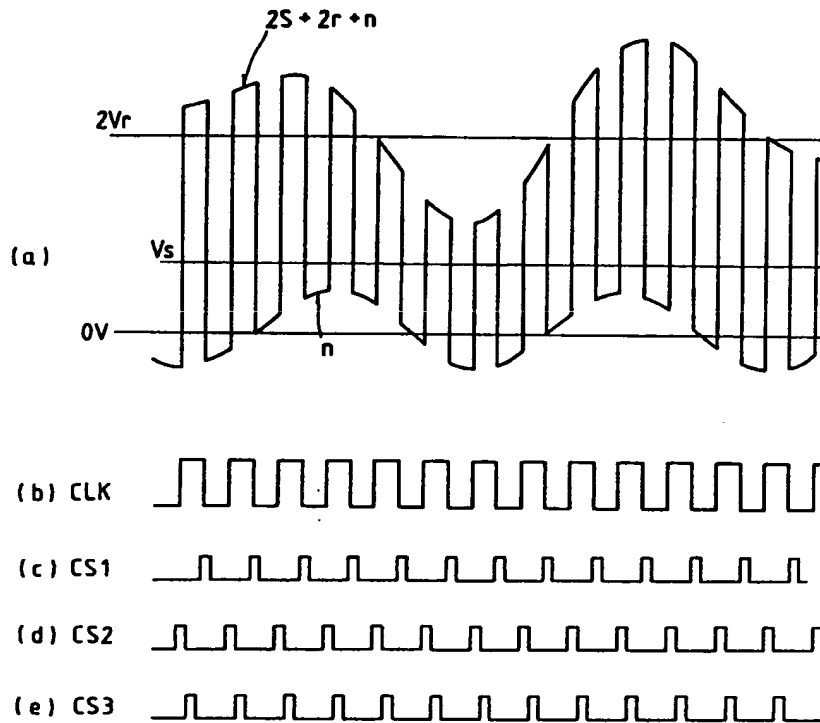
第 3 図



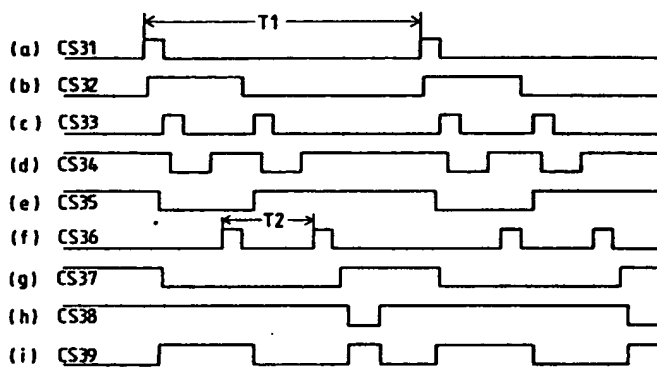
第 5 図



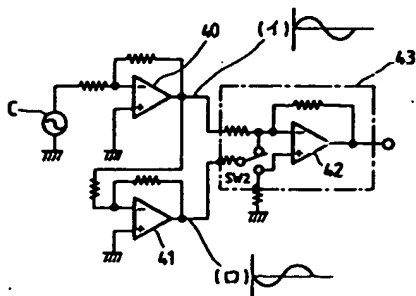
第 4 図



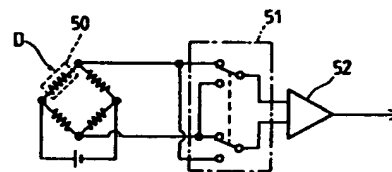
第 6 図



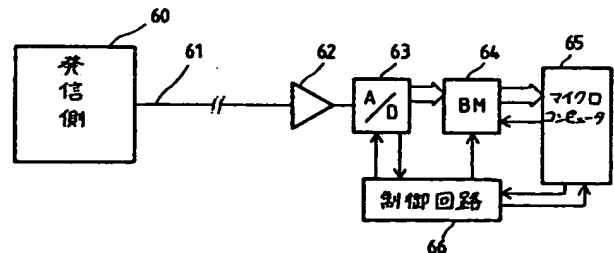
第 8 図



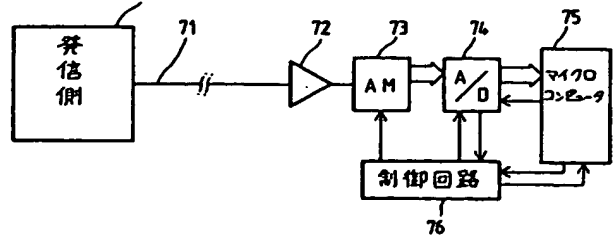
第 9 図

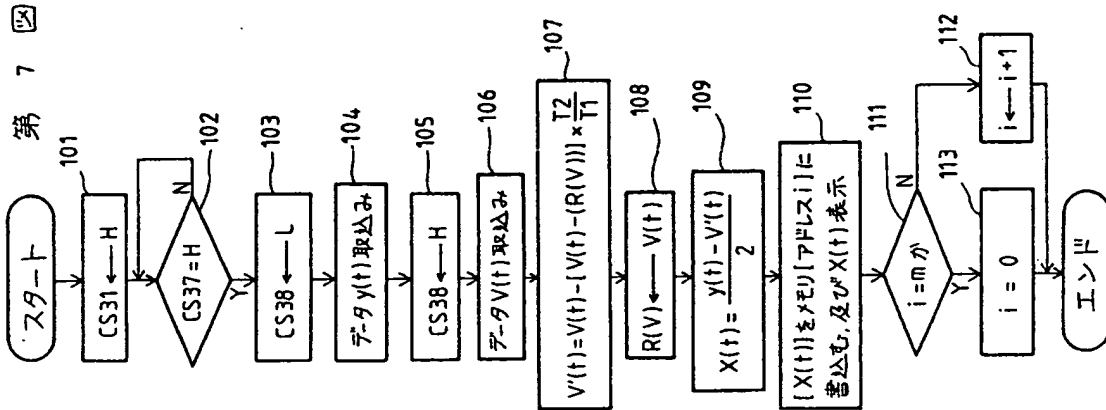


第 10 図



第 11 図





手 続 補 正 書

平成元年 9 月 27 日

特 許 庁 長 官 殿

1. 事件の表示

昭和 63 年 特 許 願 第 254820 号

2. 発明の名称

ノイズ除去方法

3. 補正をする者

事件との関係 特許出願人

住所 福岡県遠賀郡遠賀町虫生津 296-2

氏名 嶺 勝 敏

住所 福岡県北九州市戸畑区水町 3-2-203

氏名 森 本 祐 治

住所 大分県玖珠郡九重町大字松木 3963 番地

氏名 小 川 浩 二

住所 大分県北海部郡佐賀岡町一尺屋 1624

氏名 若 林 勝 義

住所 鹿児島県串木野市下名 7916

氏名 勝 田 洋

4. 代 理 人 (〒 105, 電話 502-2578)

住所 東京都港区虎ノ門 1 丁目 1 番 11 号 虎一ビル 6 階

氏名 (8230) 弁理士 竹 本 松 司

5. 補正命令の日付 なし (自発補正)

6. 補正により増加する請求項の数 なし

7. 補正の対象 明細書全文。

8. 補正の内容 別紙のとおり明細書全文を補正する。



## 明 細

## 1. 発明の名称

## ノイズ除去方法

## 2. 特許請求の範囲

- (1) 送信する信号から倍率の異なる2つの信号を作り、該2つの信号を送信し、受信側では受信した2つの信号を減算処理することによって信号に重畳したノイズを除去し、ノイズが除去された信号を得るようにしたノイズ除去方法。
- (2) 略同一特性の2つのセンサを略同一位置に並設し、上記2つのセンサ出力を加算及び減算した2つの信号を作り、受信側では受信された2つの信号を減算処理することによって信号に重畳したノイズを除去し、計測信号を得るようにしたノイズ除去方法。
- (3) 上記2つの信号は1つのセンサから計測された信号と該信号の位相を反転させた信号である請求項第1項記載のノイズ除去方法。
- (4) 上記2つの信号は同一伝送路を使用し交互

に送信するようにした請求項第1項、第2項または第3項記載のノイズ除去方法。

(5) 極性のあるセンサから交互に極性を変えて同一伝送路伝送し、交互に受信した2つの信号の一方から他方を減算し伝送路中のノイズを除去し計測信号を得るようにしたノイズ除去方法。

(6) 交互に受信した2つの信号に対して補間処理を行い、両信号の時間差を補正し、補正された信号に基いて2つの信号を減算処理することによりノイズを除去した請求項第4項または第5項記載のノイズ除去方法。

## 3. 発明の詳細な説明

## 産業上の利用分野

本発明は、各種通信において、受信した信号から伝送路上等で重畳したノイズを除去する方法に関するものである。

## 従来の技術

伝送路を介して受信した信号は、多くの場合、伝送路上等の雑音等によって汚されている。その

ため、受信信号に含まれたノイズ成分を除去するため、従来、フィルタ等を使用したり、また、ノイズの持つ性質や特徴を検出し、これに基いて必要な演算を施してノイズ成分を除去する方法がとられている。例えば、電話回線におけるエコー対策として、エコー経路の特性を推定し、これによりエコーキャンセル処理が行われている。また、一般に計測信号処理としては、移動平均、周波数領域法、積分平均法等の演算処理が多く行われている。

## 発明が解決しようとする課題

しかし、受信信号に含まれるノイズの周波数成分が送信しようとする信号に対して重複し、送信しようとする信号波形とノイズ波形の性質が似ている場合には、上述したフィルタによるノイズ除去や演算処理によってノイズを除去することは難しい。

そこで、本願出願人等は、工業計測等の信号の伝送の場合センサとインピーダンスを並設し、該センサとインピーダンスから得られる夫々の信号

を処理しノイズを除去した信号を得る方式を特願昭63-68291号で提案した。しかし、この提案した方式では、センサとインピーダンスの出力伝送系に入るノイズの振幅に違いがあるため、振幅調整を必要とするという問題があった。

そこで、出願人はさらに改良し、振幅調整を必要としないノイズ除去方法を提案するものである。

すなわち、本発明の目的は、送信する信号波形とノイズ波形が類似していても簡単にノイズ成分を除去できるノイズ除去方法を提供することにある。

## 課題を解決するための手段

本発明は、送信しようとする信号から倍率の異なる2つの信号を作り、該2つの信号を送信し、受信側では受信した2つの信号を減算処理することによって受信した信号に重畳しているノイズを除去し、ノイズが除去された正規な信号を得るようにした。この場合、送信側で作る上記2つの信号は、信号発生部において作るようにする。工業計測においてセンサで測定した信号を送信する場

合は、略同一特性の2つのセンサを略同一位置に並設し、2つのセンサから得られる計測信号（同一信号）を加算及び減算することによって2つの信号を作るとよい。または送信する信号と該信号の位相を反転させて2つの信号として送信する。これら信号を有線で送信するとき、送信する伝送線が異なることから、伝送路中で重畳されるノイズが異なりその誤差が大きい場合には、同一伝送路で2つの信号を交互に伝送し、ノイズ除去の誤差を少なくする。

また、極性のあるセンサで計測する場合には、計測信号の極性を交互に変えて同一伝送路で伝送するようにしてもよい。

さらに、2つの信号を交互に送信する場合、両信号間には時間差があることから、受信信号を補間処理して時間差を補正し、補正された信号に基づいて2つの信号を減算処理することによって、より正確にノイズを除去する。

#### 作 用

送信する信号を例えばSとすると、一方の信号

をN倍したNS（例えばNは正、負の整数または零）、他方の信号をM倍したMS（ $N \neq M$ 、Mも正、負の整数または零）の2つの信号を作り送信する。伝送路等において両信号にノイズnが重畳されたとすると、受信側では、 $NS + n$ 、 $MS + n$ の2つの信号を受信することとなる。そこで、両信号の差をとると、

$$(NS + n) - (MS + n) = (N - M)S$$

となり、伝送路等で重畳したノイズnは除去され送信信号Sの $(N - M)$ 倍の信号を得ることができる。

特に、工業計測などにおいて、送信側で2つの信号NS、MSを作るには、略同一特性のセンサを略同一位置に並設し、計測対象より計測すれば、両センサからは略同一信号Sを得ることができ、両信号を加算すれば2S（上記例で $N = 2$ ）、減算すれば「0」（上記例で $M = 0$ ）の信号が作られ、両信号を送信し、受信側で受信すれば、 $2S + n - n = 2S$ として、計測信号の2倍の信号を受けることができる。また、1つのセンサから得

られた計測信号Sの位相を反転させ $-S$ の信号を作り、計測信号S（上記例で $N = 1$ ）と位相反転信号 $-S$ （上記例で $M = -1$ ）を送信し、受信側で受信信号 $(S + n)$ 、 $(-S + n)$ を減算すれば、計測信号の2倍の信号2Sを得ることができる。

また、センサに極性がある場合には、交互に極性を変えて同一伝送路で伝送し、交互に受信した2つの信号の一方から他方を減算すれば、2倍の計測信号を得ることができる。

さらに、同一伝送路により、交互に2つの信号を伝送する場合には、2つの信号の時間差を補正するために補間処理して、同時点の信号レベルにした2つの信号を減算処理することによって、より正確にノイズを除去した受信信号を得ることができる。

#### 実施例

第1図は、工業計測において本発明を適用した本発明の第1の実施例のブロック図で、A、Bはセンサであり、温度、圧力、流量、電圧、電流等、

計測対象はどのようなものでもよい。1a、1bはセンサA、Bの出力を増幅する増幅器、2は増幅器1a、1bの出力信号を加算する加算器、3は増幅器1a、1bの出力信号を減算する減算器である。そして、センサA、Bは略同一特性を有するセンサで構成し、計測対象に対し両センサA、Bはできるだけ近接して配設し、できるだけ同一検出信号を得るようにする。また、増幅器1a、1b、加算器2、減算器3もできるだけセンサA、Bの近傍に配設する。これらセンサA、B、増幅器1a、1b、加算器2、減算器3で信号の発信側を構成し、加算器2の出力は伝送線4a、減算器3の出力は伝送線4bによって受信側に伝送され、受信側では減算器5によって受信した加算器2からの信号より減算器3からの信号を減算して出力するようになっている。また、伝送線4a、4bはより合わせた線とし、両伝送線4a、4bによる信号伝送中に受けるノイズが同等になるようにする。

上記のような構成において、センサA、Bは略



同一特性で検出対象の同一個所に配設されているから、両センサA、Bからの検出信号及び増幅器1a、1bの出力は同一レベルの信号Sが得られる。その結果、加算器2からは両信号を加算した信号2Sが出力され、減算器3からは一方の信号から他方の信号を減算した値、即ち「0」が出力されることとなる。そして、両信号の伝送中にノイズnが両信号に乗って受信側の減算器5に受信されることとなるが、加算器2からの受信信号は加算器2の出力信号2Sに伝送路中のノイズnが乗った $(2S+n)$ の信号となり、減算器3からの受信信号は減算器3の出力信号0に伝送路中のノイズnが乗った、即ち、ノイズnのみの信号となる。その結果、減算器5で、加算器2からの受信信号 $(2S+n)$ から減算器3からの受信信号nを減算すると、 $(2S+n)-n=2S$ となり、減算器5の出力はノイズnが除去された2倍の検出信号2Sとなる。

このようにして、伝送系において信号に乗るノイズは除去され、センサA、Bで検出した検出信

号のみを検出することができる。

上述した第1の実施例においては、加算器2及び減算器3の出力信号を夫々別の伝送線4a、4bに掛けて伝送させた。そのため、伝送中に各伝送線4a、4bに加わるノイズnが異なる場合が考えられる。そのため、両センサA、Bの出力を加算した信号及び減算した信号を同一伝送線に掛けて伝送し、伝送路中に受けるノイズの影響を同一とし、より正確に計測信号を得るようにした第2の実施例を第2図と共に説明する。

第2図において、A、Bは第1図と同様、同一特性で同一個所に配設されたセンサ、1a、1bは夫々増幅器、10は発振器11によって切換えられる加減算器、12は伝送線、13は発振器11の発振周期と同期をとるための制御クロック発生器で、伝送線12から受信した信号をそのままスイッチ回路14に送出すると共に、発振器11の発振と同期をとった制御クロックパルスを作り、制御部19へ送出するようになっている。15、16はスイッチ回路14から入力される信号を記

憶するアナログメモリ、17はアナログメモリ15の出力からアナログメモリ16の出力を減算し、オフセットを調整する減算・オフセット調整器、18は該減算・オフセット調整器17の出力を記憶するアナログメモリである。また、19は制御クロック発生器13からの制御クロックパルスに基づいてワンショットマルチバイブレータ、フリップフロップ等により各種制御信号CLK、CS1、CS2、CS3を作る制御部である。

第3図は上記加減算器10の詳細を示す図で、20は加減算を行うオペレーションアンプであり、SW1は発振器11からの信号で切換わるスイッチであり、センサA、Bからの信号（両信号とも同一でS）にオフセット電圧Vrが加算されるようになっており、スイッチSW1が第3図のように上側に接続された場合は、オペレーションアンプ20に入力される2つの入力信号は加算され加算器として作動し、スイッチSW1が切換わり、下側に接続される場合は、センサA側からの入力信号からセンサB側からの入力信号を減算する減

算器として作動する。即ち、スイッチSW1が上側に接続される場合は、センサA側からの入力信号 $(S+Vr)$ とセンサB側からの信号 $(S+Vr)$ が加算され、 $2(S+Vr)$ がオペレーションアンプ20即ち加減算器10から出力され、スイッチSW1が下側に接続された場合には減算され、 $(S+Vr)-(S+Vr)=0$ が出力される。

そして、伝送線12を介して伝送され、この伝送路中でノイズが乗り、受信側の制御クロック発生器13には第4図(a)に示すように、加減算器10で加算された信号及び減算された信号にノイズnが重畳された信号が発振器11の発振周期に応じて交互に現われる信号が受信される。制御クロック発生器13は、この信号をそのままスイッチ回路14に出力すると共に該信号をコンパレータに入力し、第4図(a)にVsとして示すような基準電圧と、この信号を比較し、コンパレータから第4図(b)に示すような制御クロックパルスCLKを作り出し、制御部19にこの制御ク

ロックパルスCLKを出力する。

制御部19では、この制御クロックパルスCLKに基いて、第4図(c), (d), (e)に示すような制御信号CS1, CS2, CS3を、例えばワンショットマルチバイブレータ、フリップフロップ等により作り出し、制御信号CS1をアナログメモリ16に、制御信号CS2をアナログメモリ15に、制御信号CS3をアナログメモリ18に夫々出力し、また、制御クロックパルスCLKをスイッチ回路14に出力してスイッチ回路14のスイッチを切換えるようにしている。

すなわち、加減算器10で両センサA, Bからの信号S及びオフセット電圧Vrが加算された信号が伝送され、伝送路中でノイズnが該信号に加算され、受信側に信号 $(2S + 2Vr + n)$ が受信されたときには、制御クロックパルス発生器13からHレベルの制御クロックパルスCLKが出力され、この信号がスイッチ回路14のスイッチをアナログメモリ15側に切換え、受信信号 $(2S + 2Vr + n)$ をアナログメモリ15に入

力し、さらに制御部19で制御クロックパルスが立上った後、所定時間Hレベルになる制御信号CS2のHレベル信号で、アナログメモリ15の記憶内容を受信信号 $(2S + 2Vr + n)$ に入換える。

また、加減算器10が減算に切り替わり、その結果、制御クロックパルスCLKがLレベルに切り替わったとき、即ち、スイッチ回路14の入力にノイズnのみの信号が入力されているときには、制御クロックパルスCLKのLレベルによりスイッチ回路14はアナログメモリ16側に切り替わり、ノイズnのみの信号をアナログメモリ16に入力し、かつ、制御部19で制御クロックパルスCLKの立下った後、所定時間Hレベルになる制御信号CS1のHレベル信号でアナログメモリ16の記憶内容を受信信号nに入換える。

17は減算・オフセット調整器で、アナログメモリ15に記憶する信号 $(2S + 2Vr + n)$ からアナログメモリ16に記憶する信号nを減算すると共に、オフセット電圧 $2Vr$ も減算し出力す

る。その結果、該減算・オフセット調整器17の出力は $(2S + 2Vr + n) - n - 2Vr = 2S$ となり、ノイズが除去された2倍の検出信号2Sのみとなる。

そこで、両アナログメモリ15, 16の記憶内容が入換わった後、即ち、本実施例では制御信号CS2の立下った後、所定時間Hレベルの出力が出される制御信号CS3のHレベル時に、減算・オフセット調整器17の出力信号2Sをアナログメモリ18内に取込み、記憶内容を入換える。

以上のようにして、アナログメモリ18には順次センサA, Bで検出した検出信号の2倍の信号2Sが記憶されることとなり、該アナログメモリ18の出力によって伝送路中に乗ったノイズを除去したセンサ検出信号のみを得ることができる。

なお、上記第2の実施例においては、アナログメモリ15に記憶するセンサ検出信号、オフセット電圧及びノイズを加算した信号 $(2S + 2Vr + n)$ と、アナログメモリ16に記憶するノイズnのみの信号には、第4図(a)に示すようにに時

間差があり、信号 $(2S + 2Vr + n)$ からノイズのみの信号nを減算したのでは、正確にノイズを除去したことにはならないが、ノイズの特性(周期)等より発振器11の発振周波数を調整することによって、この誤差を少なくすることができ

る。なお、上記第2の実施例では、制御クロック発生器13で発振器11の発振周期と同期する制御クロックパルスCLKを作成したが、発振器11を受信側の制御部19内に設け、受信側から加減算器10を切換えるようにすると、制御クロック発生器13は必要なく、伝送線12は直接スイッチ回路14の入力に接続され、また、加減算器10にもオフセット電圧を加える必要はない。また、減算・オフセット調整回路17も単に減算するのみでよい。

第5図は、本発明の第3の実施例で、第2の実施例と相違する点は、受信側での信号処理がデジタル処理に変更されたこと、及び、両センサA, Bからの信号を加算、減算するタイミングを受信

側から制御する点である。

A、Bは同一特性、同一個所に配設されたセンサ、1a、1bは増幅器、30は加減算器で、その構成は第3図に示す加減算器からオフセット電圧 $V_r$ を取除いたものに等しく、加算、減算のために切替えるスイッチSW1が受信側の制御回路38からの制御信号CS32によって切替わるようになった点が第3図の回路と相違するのみである。31は伝送線、32は受信側の増幅器、33は受信アナログ信号をデジタル信号に変換するA/D変換器、34はA/D変換された加算信号（以下、この加算信号を $y(i)$ と表わす）を記憶するバッファメモリ、35は減算信号（以下、この信号を $V(i)$ と表わす）を記憶するバッファメモリで、端子 $w/R$ にHレベル信号が入力されるとデータの書き込み、Lレベル信号でデータの読出しが選択され、端子 $\overline{CS}$ にLレベルが入力されると、当該バッファメモリが選択されるようになっている。

36はマイクロコンピュータ、37はインバー

タ、38は各種制御信号を作る制御回路で、クロック発振器、シフトレジスタ等により所定制信号CS32、CS33、CS35、CS36、CS37を作り出すものである。また、39はナンドゲートである。

第6図は、この制御回路38から出力される制御信号及びマイクロコンピュータ36から出力される信号の関係を示すタイミングチャートで、第7図は、マイクロコンピュータ36が行う動作処理フローチャートであり、以下、このタイミングチャート及び動作処理フローチャートと共に本実施例の動作を説明する。

マイクロコンピュータ36は、第7図に示す処理を所定周期 $T_1$ 毎に行っており、まず、スタートトリガパルスCS31をHレベルにし制御回路38に出力する（ステップ101）。制御回路38はこのトリガパルスCS31を受信し、第6図(b)に示すように、スイッチ切替制御信号CS32をHレベルにして加減算器30を加算器側に切替える。また、制御回路38はその後、第6

図(c)に示すようにA/D変換スタート信号CS33をHレベルにすると共に、バッファ選択信号CS35及び1周期の終了ステータス信号CS37をLレベルに切替える（第6図(e)、(g)参照）。

加減算器30が加算器側に切替わることにより、該加減算器30の出力はセンサA、Bの信号Sを加算した信号 $2S$ を出力することとなり、伝送線31で伝送され、伝送路中でノイズ $n$ が重畳された加算信号 $y(i) (= 2S + n)$ は増幅器32で増幅され、A/D変換器33に入力され、A/D変換スタート信号CS33がHレベルになることにより、該加算信号 $y(i)$ はデジタル信号に変換される。該A/D変換器33は、A/D変換中、第6図(d)に示すようにLレベルのステータス信号CS34を出力する。次に、制御回路38はA/D変換スタート信号CS33を送出し、A/D変換終了後に、データ読み指令信号CS36を第6図(f)に示すようにバッファメモリ34、35に出力する。また、すでにバッファ選択信号CS3

5はLレベルに切替えられているから、ナンドゲート39の出力CS39はHレベルであり、インバータ37で反転され、バッファメモリ34の端子 $\overline{CS}$ にLレベルの信号が入力され、バッファメモリ34が選択され、A/D変換器33でデジタル信号に変換された加算信号 $y(i) (= 2S + n)$ はバッファメモリ34に格納される。制御回路38はバッファメモリ34に加算信号 $y(i)$ を格納した後、スイッチ切替信号CS32をLレベルにし（第6図(b)参照）、加減算器30を減算器側にする。その結果、A/D変換器33にセンサAの信号からセンサBの信号を減算した信号 $(0)$ に伝送路中のノイズ $n$ を重畳された信号 $V(i) (= n)$ を受信することとなる。一方、制御回路38は、スイッチ切替信号CS32をLレベルにした後、A/D変換スタート信号CS33を所定時間Hレベルにすると共に、バッファ選択信号CS35をHレベルにする（第6図(c)、(e)参照）。バッファ選択信号CS35がHレベルになることから、マイクロコンピュータ36からの

バッファメモリ選択信号CS38はHレベルであることから(第6図(h)参照)、ナンドゲート39の出力CS39はLレベルとなり、バッファメモリ35が選択される。そして、受信した減算信号 $V(i) (=n)$ がAD変換され、AD変換されるに十分な時間をとった後所定時間幅のデータ書き込み指令信号CS36が出力され、減算信号 $V(i)$ データがバッファメモリ35に格納される。なお、第6図(f)に示すように、加算信号 $y(i)$ 、減算信号 $V(i)$ のデータ書き込み指令CS36の時間差はT2あり、減算信号 $V(i)$ は加算信号 $y(i)$ より時間T2だけ遅れた信号が取込まれていることとなる。

このようにして、加算信号 $y(i)$ 、減算信号 $V(i)$ のデータがバッファメモリ34、35に各々格納された後、制御回路38はステータス信号CS37をHレベルにし(第6図(g)参照)、マイクロコンピュータ36はこのステータス信号CS37がHレベルになったことを検出し(ステップ102)、バッファメモリ選択信号CS38

をLレベルにする(ステップ103及び第6図(h)参照)。

その結果、ナンドゲート39の出力CS39はHレベルとなり、バッファメモリ34を選択し、かつ、データ読み指令信号CS36はLレベルであるから、バッファメモリ34からデータが読取られ、マイクロコンピュータ36は加算信号データ $y(i)$ を取込む(ステップ104)。そして、マイクロコンピュータはバッファメモリ選択信号CS38をHレベルにし(ステップ105)、これにより、すでに制御回路38からのバッファ選択信号CS35はHレベルであるから、ナンドゲート39の出力CS39はLレベルとなり、バッファメモリ35が選択され、減算信号データ $V(i)$ が取込まれる(ステップ106)。

マイクロコンピュータ36は加算信号データ $y(i)$ と減算信号データ $V(i)$ の検出時間差T2を補正するために、減算信号データ $V(i)$ に対し一次補間処理を行う。これは、今周期で検出した減算信号データ $V(i)$ 、前周期で検出しレジスタ

R(V)に格納していた前周期の減算信号データ(R(V))より、次の第(1)式の処理を行って加算信号データ $y(i)$ の検出時に対応する減算信号データ $V'(i)$ を求める(ステップ107)。

$$V'(i) = V(i) - \{V(i) - (R(V))\} \times T2 / T1 \quad \dots (1)$$

次に、今周期で求めた減算信号データ $V(i)$ をレジスタR(V)に格納し(ステップ108)、そして、加算信号データ $y(i)$ から補正された減算信号データ $V'(i)$ を減算し、2で除して計測信号データ $X(i)$ を得る(ステップ109)。即ち、加算信号データ $y(i)$ は、センサA、Bの信号Sを加算しそれにノイズnが重畳していることから、 $y(i) = 2S + n$ であり、補正された減算信号データ $V'(i)$ は、 $S - S + n = n$ であり、

$$\begin{aligned} X(i) &= (y(i) - V'(i)) \times 1 / 2 \\ &= (2S + n - n) \times 1 / 2 \\ &= S \end{aligned}$$

となり、計測信号データ $X(i) (=S)$ が検出されることとなる。

そして、マイクロコンピュータ36は、マイクロコンピュータ36内のメモリのアドレスi(初期設定で $i=0$ とセットされている)に、ステップ109で求めた計測信号データ $X(i)$ を書込むと共に、マイクロコンピュータ36に接続されたCRT表示装置等に表示する(ステップ110)。次に、アドレスiが計測信号データ $X(i)$ を書込むために用意されている容量mに達したか否か判断し(ステップ111)、達していればアドレスiに「1」加算し、また、達していれば「0」にセットし(ステップ112、113)、1周期の処理を終了する。

かくして、所定周期T1毎、上記処理を繰返すことによって、伝送路中に重畳されたノイズを除いた計測信号 $X(i) = S$ を得ることができる。

なお、第5図に示した第3の実施例では、制御回路38より加減算器30のスイッチを切替えるためのスイッチ切換信号CS32を送出するようにしたが、第2図に示す第2の実施例のように加減算器30の切換は発振器で行い、加減算器30

では第3図に示すようにオフセット電圧 $V_r$ を加えて、受信側に第2図に示すような制御クロック発生器を設けて、スイッチ切換信号 $CS32$ の伝送線を省略するようにしてもよい。この場合、第6図で示すスイッチ切換信号 $CS32$ が、第2図の制御クロック発生器13で発するクロック信号 $CLK$ となり、この信号に基いて制御が行われることとなる。この場合、加算信号データ $y(i)$ にはオフセット電圧 $2V_r$ も加算されて格納されていることとなるから、第7図のステップ109で計測信号 $X(i)$ を求める演算は次のようになる。

$$X(i) = \{y(i) - V'(i)\} \times 1/2 - 2V_r$$

(なお、 $V'$ はオフセット電圧をデジタル値に変換した値)

上記第1～3の実施例は略同一のセンサ2つを略同一位置に配設し計測するものであったが、次に、1つのセンサによって計測し伝送路中に重畳するノイズを除去する実施例について説明する。

第8図は、本発明の第4の実施例の発信側の回路を示すもので、 $C$ は計測対象に配設されたセン

サ、40、41、42は増幅器であり、増幅器42と切換スイッチ $SW2$ で加減算器43を構成している。また、増幅器41は増幅率1倍のものとしている。

センサ $C$ の出力は増幅器40で増幅され、例えば、第8図(イ)に示すような波形の出力が増幅器40から出力される。この増幅器40の出力は増幅器41で増幅されるが、増幅率が1倍であるため、該増幅器41の出力は第8図(ロ)に示すように、増幅器40の出力と同一レベルで位相が反転したものとなる。この2つの増幅器40、41の出力を加減算器43に入力し、スイッチ $SW2$ を切換えて加算、減算を行わせれば、加算時には極性が反転していることから「0」出力が、また、減算時にはセンサ $C$ の出力の2倍(増幅器40の出力の2倍)の出力が各々加減算器43から出力されることとなる。この加減算器43の出力を伝送し受信側で減算すれば、伝送路中に重畳したノイズは除去され、センサ $C$ で計測した計測値の2倍の信号のみを得ることができる。

なお、上記加減算器43の切換スイッチ $SW2$ を第2図で示した第2の実施例と同様に、発振器11で駆動した場合には(即ち、受信側と非同期で行う場合には)、上記加減算器43を第3図に示したようなオフセット電圧 $V_r$ を付加したものとし、受信側では第2図に示した受信側の機構と同一の構成とすればよい。また、第5図に示すように、受信側の制御回路から上記切換スイッチ $SW2$ を駆動する場合(即ち同期式の場合)には、第5図で示す受信側の構成をとればよい。また、前述したように、非同期式、同期式に関係なく、受信側の構成を第2図に示すアナログ処理によるもの、第5図に示すデジタル処理によるもの、どちらを採用してもよいことはもちろんである。

また、上記第4の実施例において、センサ $C$ の出力に極性がある場合には、増幅器40の2つの入力端子にセンサ $C$ の夫々の出力端子を接続し、差動入力にすればよい。

さらに、上記第4の実施例においては、増幅器40、41の出力を加減算器43で加算、減算し

て出力するようにしたが、増幅器40、41の出力を、第1の実施例のように夫々の伝送線で伝送し、受信側で受信した2つの受信信号を減算するようにしてもよい。すなわち、増幅器40から、例えば計測信号 $+S$ が伝送され、増幅器41からは極性が反転した計測信号 $-S$ が伝送されることとなるから、これら信号 $+S$ 、 $-S$ に各々ノイズ $n$ が重畳したものが受信側で受信され減算されると、 $(S+n) - (-S+n) = 2S$  となり、ノイズ $n$ が除去された2倍の計測信号 $2S$ のみが得られる。

また、この場合においても、同一伝送線で伝送するときは増幅器40、41の出力をスイッチで交互に切換えて伝送してもよい。

さらに、センサに極性がある場合には、第9図に示すように、センサの出力をスイッチで切換えて伝送するようにしてもよい。第9図は極性のあるセンサの例としてストレンジージを用いた例を示す第5の実施例で、第9図において、 $D$ はストレンジージで、50はゲージ抵抗、51はス

トレンジージDの極性を反転させて増幅器52に入力するスイッチ回路である。スイッチ回路51が一方に切換わっているとき、増幅器52から、例えば、+Sの計測信号が出力されるが、他方に切換わっているときには極性が逆になった-Sが出力されることとなる。そのため、増幅器52の出力を伝送し、受信側で減算すれば、 $(S+n) - (-S+n) = 2S$  となり、ノイズnが除去された計測信号が得られる。なお、増幅器52を高入力インピーダンスの増幅器として、該増幅器52の入力をセンサ入力、即ち、センサ出力両端子と増幅器52の両入力端子を夫々接続する場合と、増幅器52の両入力端子を短絡するようにスイッチ回路51で切換えるようにしてもよい。この場合には、センサ入力にスイッチ回路51が切換えられると受信側には $S+n$ の信号が入力され、増幅器51の入力端子が短絡するようにスイッチ回路51が切換えられたときはノイズnのみが入力されることとなり、両受信信号を減算すれば、センサ信号Sのみを取出すことができる。

れると、制御回路66は、発信側の切換スイッチの切換周期よりも短い周期でA/D変換器63に変換指令を出力し、デジタル信号に変換されたデータを大容量のバッファメモリ64に入力し、かつ、制御回路66はバッファメモリ64のアドレスを1番から順次指定し、順次データをバッファメモリ64に書き込む。バッファメモリ64に所定量のデータが書き込まれると、制御回路66は変換終了信号をマイクロコンピュータ65に送出し、マイクロコンピュータ65はこの信号を受けてバッファメモリ64に格納されたデータを読出し、読出し終了で再びスタート指令を出力する。以下、この処理を繰返す。一方、マイクロコンピュータ65が読取ったデータは、センサで計測した信号が加算された信号2Sにノイズnが加算された信号 $2S+n$ （さらにはオフセット電圧 $V_r$ の2倍が加算された信号）とノイズnのみの信号であり、このデータは第4図に示すような高レベルと低レベルの2つの包絡線を持つこととなり、この2つの包絡線を検出し、一方から他方を減算すれば、

上記第2～第5の実施例においては、発信側から送出する加算信号、減算信号、または、極性を変えた2つの信号を同一伝送線で伝送した場合、発信側と受信側で同期をとる方式と、また、非同期方式について述べた。しかし、非同期方式においても、受信側で第2図に示すように制御クロック発生器を用いて発信側での切換周期を検出して制御を行ったが、次に、発信側と受信側で全く同期をとらない方式について述べる。

第10図は全く同期をとらない方式を示す本発明の第6の実施例を示すブロック図で、発信側60は上述した各実施例と同様、2つのセンサを用いる場合でも、1つのセンサを用いる場合でもよく、加算、減算信号を発信側の切換スイッチを切換えて同一伝送線61に加算信号、減算信号を交互に送出するものである。第10図において、62は受信側の増幅器、63はA/D変換器、64は大容量のバッファメモリ、65はマイクロコンピュータ、66は制御回路で、マイクロコンピュータ65から制御回路66にスタート指令が出さ

計測信号2Sのみを得ることができる。

第11図は、第10図で示した第5の実施例と同様、発信側、受信側全く非同期でノイズを除去した計測信号を得る方式の第7の実施例であり、70は第6の実施例と同様に発信側を示し、71は伝送線、72は増幅器、73は大容量のアナログメモリ、74はA/D変換器、75はマイクロコンピュータ、76は制御回路であり、第6の実施例と相違する点は、伝送されてきた信号を、まず、大容量のアナログメモリ73に順次格納し、その後AD変換してマイクロコンピュータ75に取込む点で相違するのみである。動作は第6の実施例と略同一であるので、説明を省略する。

なお、上記各実施例において、発信側から送出する2つの信号をセンサで計測した信号Sの加算、減算信号即ち加算信号2Sと減算信号の「0」信号、または、計測信号Sの極性を変えた+S、-Sの信号としたが、2つの信号を、一方をNS、他方をMS ( $N \neq M$ ) としてもよく、これら2つの信号を減算し、ノイズを除去した  $(N-M)S$

信号を得るようにしてもよい。

また、上記各実施例では、本発明を工業計測に適用した例を示したが、工業計測以外のどのような通信に対しても本発明は適用でき、さらに、無線による通信、光通信にも適用でき、大気、水、地中や構造物等の環境を問わず、受信信号にノイズが重畳するような場合、本発明を適用することによって、受信信号からノイズを除去することができる。

#### 発明の効果

本発明は、簡単な構成により、伝送路中で受信信号に重畳されているノイズを除去することができる、かつ、従来の方法ではノイズ除去が困難であった送信信号と類似したノイズも簡単に除去することができる。

#### 4. 図面の簡単な説明

第1図は本発明の第1の実施例のブロック図、第2図は同第2の実施例のブロック図、第3図は第2の実施例における加減算器の詳細を示す図、第4図は第2の実施例におけるタイミングチャー

ト、第5図は本発明の第3の実施例のブロック図、第6図は同第3の実施例のタイミングチャート、第7図は同第3の実施例のマイクロコンピュータが実行するフローチャート、第8図は本発明の第4の実施例における発信側の回路図、第9図は本発明の第5の実施例の発信側の回路図、第10図は本発明の第6の実施例のブロック図、第11図は本発明の第7の実施例のブロック図である。

A, B, C…センサ、1a, 1b…増幅器、  
2…加算器、3, 5…減算器、  
4a, 4b, 12, 31, 61, 71…伝送線、  
10, 30…加減算器、11…発振器、13…制御クロック発生器、14…スイッチ回路、  
15, 16, 18…アナログメモリ、17…減算・オフセット調整器、19…制御部、  
33…A/D変換器、34, 35…バッファメモリ、36, 65, 75…マイクロコンピュータ、  
38, 66, 76…制御回路、D…ストレージ。